

JP-A-3-229955

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-229955

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月11日

F 02 D 45/00
G 06 F 15/783 7 6 B
5 1 0 C8109-3G
9072-5B

審査請求 未請求 請求項の数 7 (全8頁)

⑯ 発明の名称 マイクロコンピュータ制御装置

⑰ 特 願 平2-20416

⑱ 出 願 平2(1990)2月1日

⑲ 発 明 者 佐々木 昭二 茨城県勝田市大字高場2520番地 株式会社日立製作所佐和工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 武 顕次郎 外1名

明 細 書

1. 発明の名称

マイクロコンピュータ制御装置

2. 特許請求の範囲

1. データの書き込み可能なメモリを内蔵し、このメモリに書き込んだプログラムにしたがって動作するシングルチップマイクロコンピュータを回路基板に実装してなる制御装置において、上記シングルチップマイクロコンピュータの上記回路基板への配付実装後での上記メモリに対するデータの書き込みを可能にするデータ書込手段が設けられていることを特徴とするマイクロコンピュータ制御装置。
2. 請求項1の発明において、上記シングルチップマイクロコンピュータがシングルチップモードとメモリ書込モードの2種の動作モードを備え、これら動作モードを選択するための切換手段が設けられていることを特徴とするマイクロコンピュータ制御装置。
3. 請求項2の発明において、上記切換手段に切

換信号を入力するための導体パターンが、上記回路基板に形成されていることを特徴とするマイクロコンピュータ制御装置。

4. 請求項3の発明において、上記シングルチップマイクロコンピュータがメモリ書込モードに切換えられているとき、上記メモリにデータを入力するための導体パターンが上記回路基板に形成されていることを特徴とするマイクロコンピュータ制御装置。
5. 請求項1の発明において、上記データ書込手段による上記メモリへのデータ書込時、上記シングルチップマイクロコンピュータの周辺回路を本体から隔離する回路手段が設けられていることを特徴とするマイクロコンピュータ制御装置。
6. 請求項1の発明において、上記シングルチップマイクロコンピュータがシリアル通信機能を備え、上記データ書込手段がこのシリアル通信機能を用いて上記メモリへのプログラムの書込処理を実行するように構成されていることを特徴とするマイクロコンピュータ制御装置。

7. 請求項6の発明において、上記シングルチップマイクロコンピュータがシングルチップモードとメモリ書き込みモードの2種の動作モードを備え、これら動作モードを選択するための切換信号を上記シングルチップマイクロコンピュータから発生させるように構成したことを特徴とするマイクロコンピュータ制御装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、要求される制御機能をシングルチップマイクロコンピュータによるプログラム処理で得るようにしたマイクロコンピュータ制御装置に係り、特に自動車等のエンジン制御に好適なマイクロコンピュータ制御装置に関する。

〔従来の技術〕

コンピュータを用いた装置では、当然のこととしてプログラムの記述を要とする。

そこで、自動車用など、従来のシングルチップマイクロコンピュータを用いた制御装置では、その製造過程でプログラムが書き込まれてしまうマス

クROM(リード・オンリ・メモリ)を内蔵したCPU(セントラル・プロセッシング・ユニット)を使用するのが一般的であるが、この方法では、多品種少量生産を要する場合に開発コストの面で不利になるだけでなく、プログラムの変更に関する開発時間の増大や歩留まりの低下などの点でも大幅に不利になる上、プログラムの変更に対応が困難であるなどの問題があるため、従来は、エンジン制御装置など、このような要求が高い場合には、プログラムの交換が容易なP-ROM(プログラマブル・ROM)をプログラムデータ格納用に備えたCPUが使用されるようになっていたが、このとき、P-ROMをCPUとは別体に分けたマルチチップ方式のマイクロコンピュータを用いた制御装置と、P-ROMをCPUに内蔵させたシングルチップ方式のマイクロコンピュータを用いた制御装置の双方が選択的に使用されていた。

そして、これらのうち、シングルチップ方式のマイクロコンピュータに対するプログラムデータ

- 3 -

の書き込みについては、それが回路基板に装着される前に所定の専用治具を用いて、P-ROMに電気的にアクセスし、書き込むようにしていた。

なお、この種の装置として関連するものには、例えば

特開昭58-7295号公報

特開昭61-284594号公報

特開昭63-188894号公報

などを挙げることができる。

〔発明が解決しようとする課題〕

上記従来技術は、P-ROMへのデータの書き込みについて開示しているだけであり、従って、マルチチップ方式のマイクロコンピュータにおけるP-ROMへのデータの書き込みについては一応開示しているものの、P-ROMを内蔵したシングルチップ方式のCPUからなるマイクロコンピュータを対象とし、そのP-ROMへのプログラムデータの書き込みについては特に記載がされていなかった。

しかして、近年、"H8"(日立製)などの商品

名で知られている、PLCC(Plastic Leaded Chip Carrier)パッケージ方式のシングルチップCPUが市場に現われているが、このようなマイクロコンピュータを使用した場合には、その狭いリードピッチのため、専用治具を用いたプログラムデータの書き込みに際して、この治具の着脱に伴うリードの変形(曲り)を生じ易く、リード間ショートや半田付け不良多発の問題があった。

また、このような素子は、その回路装置としての製造過程に含まれる半田付けに際して、周囲温度が250℃前後にも達するペーパーリフロー工程にさらされるが、このときPLCCパッケージの素子では、そのパッケージ材に水分が含まれていると、それが膨張して最悪の場合、パッケージ割れを生じる虞れがある。そこで、このようなPLCCパッケージの素子を使用する場合には、湿度管理を厳しくし、このためペーパーリフロー工程のなるべく直前まで乾燥剤を同封した密閉容器(袋)に保管するのが通例であるが、このとき、従来技術では、素子を密閉容器から取出した後、上

- 4 -

記したP-ROMへのプログラムデータの書き込みに必要な時間が十分に必要になり、それだけ信頼性の可能性が薄し、信頼性の低下をもたらすという問題があった。

更に、このような回路装置では、回路基板に素子を半田付けしたあとでは、その交換はほとんど不可能である。つまり、このような場合、交換したあとでの半田付けは手作業になるが、このとき、PLCCパッケージの素子では、半田ブリッジや、俗に言う「いも半田」の発生がほとんど不可避免であり、従って、素子の半田付けの後で半田付け不良や、素子の誤組付けが見つかった場合には、その回路基板全体を破棄せざるを得ず、この場合のコストは素子単体の場合の数十倍にも達する。一方、例えば自動車エンジン制御装置などの多品種少量生産を要する場合には、シングルチップCPU内のP-ROMに書き込むべきプログラムデータの種類の数は10種にもなり、このため、素子誤組付け発生の減率が高くなり、従って、従来技術では、不良回路基板廃棄に伴うコスト上昇の問題が

合った。

本発明の目的は、PLCCパッケージのシングルチップマイクロコンピュータを用いた場合でも、パッケージ割れや半田付け不良、それに素子誤組付けの恐れが無く、ローコストで信頼性の高いマイクロコンピュータ制御装置を容易に提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、P-ROMを内蔵したシングルチップCPUを用いた制御装置において、シングルチップCPUを回路基板へ組付実施した後で上記P-ROMに対するデータの書き込みを可能にするデータ書き込み手段を設けたものである。

〔作用〕

CPU素子を回路基板に実装した後で、内蔵されているP-ROMへのプログラムデータの書き込みが容易にできるので、信頼性の低下や不良発生によるコストアップをなくすることができる。

〔実施例〕

- 7 -

以下、本発明によるマイクロコンピュータ制御装置について、図示の実施例より詳細に説明する。

第1図は本発明の一実施例で、図において、1はP-ROMを内蔵したシングルチップCPUで、ここでは、上記した日立製作所製の「H8」と呼ばれているシングルチップCPUが用いられている。そして、このCPU1は、内蔵されているP-ROMに書き込まれているプログラムにより通常の制御用のマイクロコンピュータとして動作するモードである「シングルチップモード」に加えて、内蔵されているP-ROMへのデータの書き込みが可能になる「書き込みモード」と、さらに外部メモリやI/Oなどの拡張を可能にする「拡張モード」とを持ち、これらのモードの選択切換を行なう3個の端子MD1、MD2、MD3が設けられ、これらは回路基板に導体パターンで形成してある端子ランド1a、1b、1cに接続されている。なお、このときの入力条件は、シングルチップモードでは3個の端子MD1、MD2、MD3の全てが「High」レベル、書き込みモードでは全て「Low」レ

ベルとなっているので、これらの端子に何も入力しない状態でシングルチップモードが得られるように、プルアップ抵抗2〜4が電源Vccとの間に接続されている。

8は書き込み電圧切換用のトランジスタで、CPU1の端子Vppの電圧を通常の動作電圧Vccと、P-ROMへのデータ書き込み時にだけ必要な書き込み電圧V、とに切換える働きをする。つまり、このトランジスタ8がオフのときには、端子Vppの電圧はプルアップ抵抗5の働きにより電圧Vccに保たれ、オンしたときだけ電圧V、にされる。なお、上記のH8というCPUでは、

$$V_{\text{p}} = 12.5 \text{ V}$$

$$V_{\text{cc}} = 5.0 \text{ V}$$

に設定されている。そして、このトランジスタ8のオン・オフ状態は、端子ランド1dの入力により制御される。すなわち、このランド1dをオープンに保つと、抵抗7のためトランジスタ8のベースはエミッタと同電位にされるのでオフになり、アースに落ちると抵抗8を流れてベース電流が流れ

るためオンになるのである。

9は3ステートバッファで、CPU1の複数の端子DI(デジタル信号入力)が接続されている端子ランド1eとデジタル信号入力線11の間に挿入され、必要ときに端子ランド1eをデジタル信号入力線11から電気的に隔離する働きをする。

12もバッファで、これはCPU1の複数の端子DO(デジタル信号出力)が接続されている端子ランド1fとデジタル信号出力線1oとの間に挿入され、端子ランド1fをデジタル信号出力線1oから電気的に隔離する働きをする。

次に、この実施例の動作について説明する。

まず、このCPU1が自動車のエンジンなどに取付けられ、その制御を実行しているとき、すなわち、シングルチップモードにあるときには、これらの端子DI、DOはそれぞれ通常の意味でのデータ入力、データ出力となっているが、書きモードに切換えられたときには、それぞれ端子DIはアドレスバスに、そして端子DOはデータバスに

切換えられる。なお、このためには、端子ランド1a、1b、1cの全てをオープンに保っておくだけで良いことは上記した通りである。

そして、この実施例では、このように、それぞれアドレスバスとデータバスに切換えられる端子には、それらに対応して、上記したようにランド1e、1fが回路基板に形成してあり、各端子はそれらに接続してある。

ここで、CPU1が回路基板に実装された状態を第2図に示す。ここで、20が回路基板である。

この第2図において、CPU1は、そのリードを基板20の導体パターンに半田付けすることにより取付けられているが、このとき、各リードが半田付けされるランドから、そのリードに対応した回路素子との間を結ぶパターンが存在する。そこで、このパターンの所定のものの所定の部分に、従来例では存在していないランド1a'～1f'を形成しておく。そして、この実施例では、これらのランド1a'～1f'を、特に第2図(b)から明らかなように、スルーホールとして基板20のCPU1

- 11 -

- 12 -

が搭載されている面から反対側の面に伸ばし、この面にも対応したランド1a'～1f'が形成してある。

また、第2図(b)において、21はデータ書込用の電極ピンで、上記したランド1a'～1f'に対応して、それぞれに独立して接触し、電気的に接続できるようになっている。

そこで、まず、CPU1の搭載を終えた基板20を、第2図(b)に示すように、各ランド1a'～1f'に対応するようにして電極ピン21に接触させ、これらの内で、第1図のランド1a～1dに接続されている電極ピンだけを選択し、それらを接地して“Low”レベルにする。そうすると、これにより、上記したように、CPU1は“書きモード”に遷移し、かつ、端子Vppには書込電圧V_{pp}が印加された状態になる。

そして、この状態で、端子DOに接続されている電極ピンに所定のアドレスデータを、そして端子DIに接続されている電極ピンに所定のプログラムデータをそれぞれ入力してゆくことにより、

CPU1内のP-ROMに必要なプログラムを書込むことができる。

従って、この実施例によれば、CPU1内のP-ROMへのプログラムの書込みを、このCPU1を回路基板に実装した後に、治具などを用いることなく行なうことができるから、温度管理が困難になっている時間を最小限に抑え、且つ、リードを変形させる虞れもなくすることができ、充分な信頼性を容易に得ることが出来る。

ここで、バッファ8、12の働きについて説明する。

まず、バッファ9は、上記したように、3ステートバッファで、その制御端子Sを“Low”レベルにしたときには、その出力が高インピーダンス(オープン)状態になり、“High”レベルのときには通常のバッファとして動作する。従って、ランド1dをオープンにし、CPU1をシングルチップモードにしたときには、デジタル信号入力線11からのデータを端子DIに、そのまま入力されると共に、ランド1dを接地し、CPU1を書

込モードにしたときには、ランド10をデジタル信号入力線11からアイソレートし、このランド10に電極ピン21から入力されたプログラムデータが、デジタル信号入力線11に存在する抵抗10やコンデンサ11の影響で波形がひずんだりしないようにする。

バッファ12も同様で、その入力が高インピーダンスで有ることにより、ランド11に電極ピン21から入力されたアドレスデータが、デジタル信号出力線10に存在する抵抗13やトランジスタ14の影響を受けないようにする。

従って、この実施例によれば、常に正確なプログラムデータの書き込みが保証され、高い信頼性を容易に得ることが出来る。

第3図は本発明の他の実施例で、図において、30はシングルチップマイクロコンピュータを構成するCPU、31はCPU30に内蔵されているP-ROM、32は書き込みブロックで、CPU30に内蔵されたマスクROMである。CPU30は書き込みブロック32によりシリアル

通信機能(SCI)を持ち、このシリアル通信機能により外部から読み込んだデータをP-ROM31に入力して所定のプログラムの書き込みが可能になるように構成されている。なお、この書き込みブロック32は、上記したマスクROMの代わりに論理回路で構成してもよい。

CPU30の端子Vppは、第1図の実施例と同様にプルアップ抵抗5とトランジスタ6のコレクタが接続され、これによりP-ROM31へのデータ書き込みに必要な電圧V_gが切換えられるようになっているが、このトランジスタ6の制御はCPU30自身が行なうようになっており、このため、トランジスタ33と抵抗34が設けられている。従って、CPU30は、書き込みモードになったときVpp制御信号30dを出力し、これによりトランジスタ33をオンさせてトランジスタ6をオンに切換え、端子Vppの電圧をVccからV_gに切換えるのである。

CPU30の入出力線30a、30b、30cは上記したシリアル通信機能によるデータ伝送を

- 15 -

行なうためのものであり、入力線30eはCPU30を書き込みモードに切換えるための端子である。この入力線30eを"Low"レベルにしたとき書き込みモードに切換わり、"High"レベルにするとシングルチップモードに戻るようになっている。なお、この信号は、第1図の実施例における信号MD1、MD2、MD3で代用しても良い。

次に、この実施例の動作について第4図及び第5図のフローチャートにより説明する。

第4図はCPU30にリセットがかかったときの処理を示したもので、

S1では、SCI(シリアル通信機能)の動作を可能にするため、このSCIに関連したレジスタの初期設定を実行する。

S2では、P-ROM31へのデータ書き込みを行なうときに使用するRAMの所定のエリアをリセットする。なお、このRAMの所定のエリアとは、少なくともP-ROM31への書き込みを行なう書き込み格納するエリアと、その他、フラグなどの格納に必要なエリアを意味する。

- 17 -

- 16 -

S3では、ユーザが使用するP-ROM31内のベクタアドレスへジャンプする。

そして、S4でP-ROM書き込みのためのSCI制御信号を待つのである。

第5図はSCI制御信号処理を示すフローチャートである。

SCI制御信号発生によりS10で受信データの読み込み処理を実行する。

S11では、書き込みモードにあるかを判断する。これはCPU30の入力線30eの状態を見ることにより判定すればよい。

まず、S11での結果がNO、つまり書き込みモードではないと判定されたときにはS12に進み、まず、ここでP-ROM書き込み中であることを表すフラグprog flagをリセットし、ついでS13でP-ROM31内のユーザ用SCIベクタアドレスへジャンプする。

しかし、S11での結果がYES、つまり書き込みモードになっていると判定されたときには、続いてS14でフラグprog flagがセットされて

- 18 -

いるか否かを判断する。

S14での判定結果がNO、つまり

prog flag = 0

と判定されたら、これは書き込みモードになって最初のSCIデータであることを意味するから、このデータはP-ROM31の格納先頭アドレスを持つものと判断できる。

そこで、まず、S15で prog flag をセットし、ついでS16で先頭番地を示す受信データをRAMに格納して、このときの処理を終了する。

一方、S14での判定結果がYES、つまり

prog flag = 1

と判定されたら、これは書き込みモードになって既にP-ROM31への書き込み中であることを意味するから、このときにはS17~S22の処理に進む。

まず、S17で受信データをP-ROM31の格納番地に書き込む処理を実行する。

S18では、所定時間が経過したか否かを調べ、結果がNOの間はS17に戻る。これは、P-ROMへのデータの書き込みにはかなりの時間を要す

るからである。

S18での結果がYESになったらS19に進み、格納番地のデータの読み込みを行ない、S20では、そのデータがS10で読み込んだデータと同一か否か、つまりP-ROM31への書き込みが終了したか否かの判定を行なう。そして終了していないときにはS17に戻る。

S20での結果がYESになったら、つまりデータが一致して書き込みが終了したものと判断されたら、まずS21で、プログラムデータを供給している外部機器へデータの書き込み終了信号を送出し、次のデータの送信開始を要求する。

その後、S22で次のデータの入力に備えて、P-ROM31の格納番地を+1、つまりインクリメントして処理を終了するのである。

従って、この第3図の実施例によれば、シリアル通信機能によりプログラムデータの書き込みができるので、回路基板に設けるべきランドの数が少なくて済み、基板の大型化を抑えることが出来る。
(発明の効果)

- 19 -

本発明によれば、P-ROMを内蔵させたシングルチップCPUからなるマイクロコンピュータ制御装置において、そのP-ROMへのデータの書き込みに関して、リードの突形やCPU素子の吸着を最小限に抑えることができるから、信頼性の低下をもたらすことなく、十分にP-ROM内蔵シングルチップCPUの利点が活かせ、多品種少量生産に有効に対応することができる。

また、このような装置では、製造過程で、CPU素子を回路基板に実装後(半田付け後)、基板に組付けた素子の有無や品種違いなどの確認をボードチェッカーなどと呼ばれる検査装置で、基板の所定位置へピンを接触させ通電する方法で行なう場合が多い。このとき、上記のピンの位置は、検査すべき回路基板毎に、すなわち、機種毎に異なっており、従って、このときに機種の確認ができる。

従って、本発明によれば、このような場合、機種の確認後、その検査装置を利用し、プログラムデータの書き込みを行なうようにすれば、プログラ

ムの誤書き込み、すなわち、異なった機種への誤組付けを確実に防止出来、高い信頼性を保持しながら歩留まりの低下やコストアップを充分に抑えることができる。

4. 図面の簡単な説明

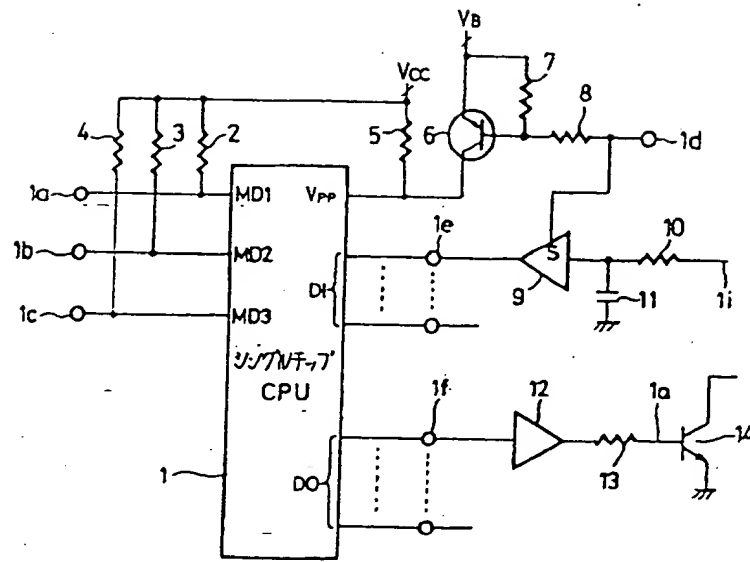
第1図は本発明によるマイクロコンピュータ制御装置の一実施例を示す回路構成図、第2図は回路基板実装状態の説明図、第3図は本発明の他の一実施例を示す回路構成図、第4図及び第5図はそれぞれ動作説明用のフローチャートである。

1---シングルチップCPU、2~5、7、8、10、13---抵抗、6、14---トランジスタ、9---3ステートバッファ、12---バッファ、20---回路基板、21---電極ピン。

代理人 井理士 氏 順次郎(外1名)

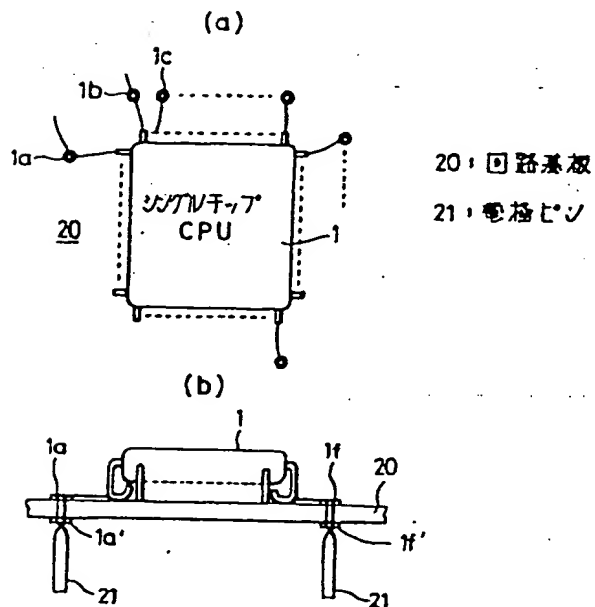


第 1 図

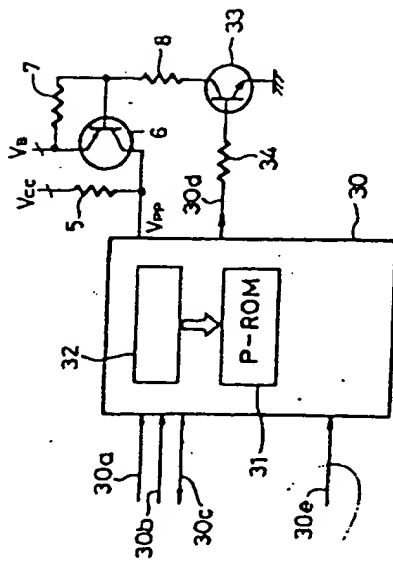


1a ~ 1f : 端子ランド

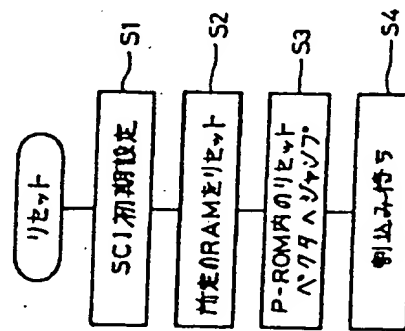
第 2 図



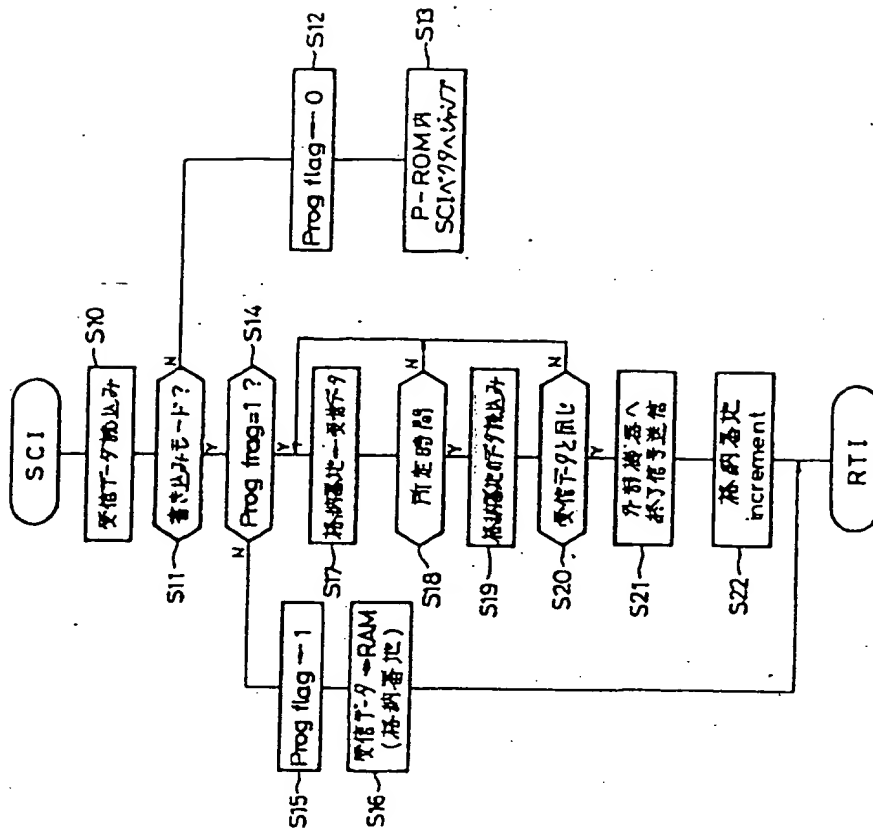
第 3 図



第 4 図



第 5 図



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**